

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04504784 **Image available**
LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO.: **06-148684** [JP 6148684 A]

PUBLISHED: May 27, 1994 (19940527)

INVENTOR(s): MIKOSHIBA KEIMEI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-303434 [JP 92303434]

FILED: November 13, 1992 (19921113)

INTL CLASS: [5] G02F-001/136; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1791, Vol. 18, No. 454, Pg. 123,
August 24, 1994 (19940824)

ABSTRACT

PURPOSE: To reduce coupling capacity and to prevent gradations from being lowered even when enlarging numerical aperture by connecting another transparent electrode, which is provided through a capacity insulation film under a transparent electrode for liquid crystal drive, to a light shield metal film.

CONSTITUTION: A gate electrode (gate line) 3 of silicide or the like is formed on a multiple crystal Si 2 to be the body of a thin film transistor (TFT) and a drain line 4 is connected. On the other hand, a transparent electrode 6 is formed on a light shield film 5 formed on the TFT, and a transparent electrode 7 connected to a source 9 of the TFT is formed on a capacity insulation film 8 on that electrode 6. The transparent electrode 7 is the electrode for liquid crystal drive, storage capacity is formed through the capacity insulation film 8 at a gap between the transparent electrode 7 and the transparent electrode 6, and the transparent electrode 6 is connected to the light shield film (black matrix) 5 at a fixed potential. Then, the storage capacity is formed between this light shield film 5 and the source of the TFT. Thus, the large storage capacity can be provided without victimizing the numerical aperture, no storage capacity wiring is required, and the load of the gate line is lightened.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-148684

(43)公開日 平成6年(1994)5月27日

(51) Int. Cl. 5 識別記号
G02F 1/136 500 9018-2K
H01L 29/784 9056-4M

9056-4M H01L 29/78 311 A

審査請求 未請求 請求項の数 4 (全 5 頁)

(21)出願番号	特願平4-303434	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)11月13日	(72)発明者	御子柴 啓明 東京都港区芝五丁目7番1号日本電気株式 会社内

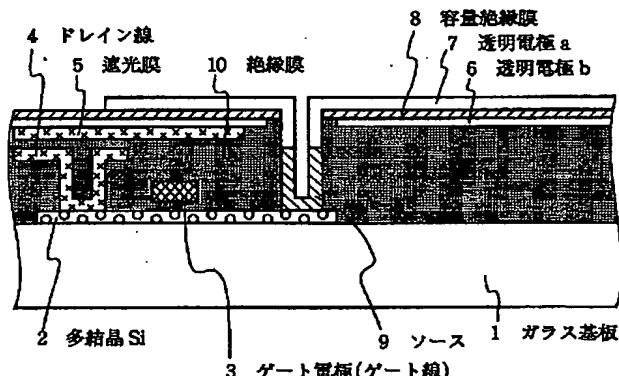
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【目的】 TFT型液晶表示素子において、開口率を犠牲にすることなくピクセル面積を減少させ、高精細な表示を可能にすることを目的とする。

【構成】 液晶駆動用の透明電極 a 7 の下方に、容量絶縁膜 8 を介して透明電極 b 6 があり、透明電極 b は遮光膜 5 に接続されている。

【効果】開口率を減少させることなく、十分な蓄積容量を実現できる



【特許請求の範囲】

【請求項1】 薄膜トランジスタを用いたアクティブマトリックス型液晶表示素子において、前記薄膜トランジスタのソース（ドレン）に接続された第1の透明電極の下方に容量絶縁膜を介して第2の透明電極が設けられ、前記第2の透明電極は遮光金属膜に接続されていることを特徴とする液晶表示素子。

【請求項2】 前記容量絶縁膜はタンタル酸化膜であることを特徴とする請求項1記載の液晶表示素子。

【請求項3】 前記容量絶縁膜はタンタル酸化膜とシリコン窒化膜の多層膜であることを特徴とする請求項1記載の液晶表示素子。

【請求項4】 前記薄膜トランジスタのドレン（ソース）に接続される電極が、前記薄膜トランジスタの活性領域を被っていることを特徴とする請求項1記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（TFT）を用いたアクティブマトリックス型液晶表示素子に関する。

【0002】

【従来の技術】 図5は、TFTを用いたアクティブマトリックス型液晶表示素子の画素の等価回路である。ゲート線13とドレン線14の交点に薄膜トランジスタ（TFT）19が接続され、TFTのソース電極は液晶20及び蓄積容量21へ接続される。図6は図5に示した画素の構造例の断面図である。ガラス基板1上に多結晶Si12、絶縁膜11、ゲート電極13を設け、ゲートの両側にドレン電極14とソース電極15を設けてTFTを形成している。さらにTFTに隣接して透明電極b16、容量絶縁膜18、透明電極a17を設けて蓄積容量21を形成している。蓄積容量のゲート線に接続される電極に透明電極b16を用い、他方の電極を液晶駆動用電極すなわち透明電極a17と共にすることにより、高い開口率を確保できる。すなわち、蓄積容量21を設けるために、光の透過を妨げることがない。

【0003】 従来技術の他の例を図7に示す。a-Si24を用いた逆スタガー型構造として知られているもので、最近の製品で用いられている。この場合は、蓄積容量をゲート線に接続せず、独立した蓄積容量線22に接続されている。蓄積容量線22は抵抗を下げる必要から、光を透過しないクロム等の金属配線が用いられている。

【0004】 TFTを用いた液晶表示素子では、水平走査が一順する間（フレーム周波数が60Hzならば16.7mSの間）、液晶に信号電荷を蓄積しておく必要がある。しかし、TFTのリーク電流が大きく、液晶の容量は0.2pF程度と小さいため、電荷を完全に保持しきれない。そのため液晶と並列に接続される蓄積容量

が必要となる。この蓄積容量の追加は、画面のチラツキを防ぐためにも有用である。

【0005】

【発明が解決しようとする課題】 図5および図6に示した従来技術は、蓄積容量21がゲート線13に接続される。ゲート線は、TFTのスレッショルド電圧が2~3Vと高いことと、液晶に信号電圧を十分に与えるために、20V程度まで駆動する必要がある。蓄積容量を0.4pF、水平画素数を1257（HDTV対応）とすると、総容量は500pFとなる。垂直画素数を1035、走査周波数を60Hzとすると、ゲート線は16μS内に立ち上らなければならない。いまゲートパルスを1μSとすると、駆動電流は10mA以上、ゲート線の抵抗は2KΩ以下でなければならない。ゲート線幅を4μm、長さを4cmとすると、2KΩ以下を得るためにには配線の総抵抗は0.2Ω/□よりも低くなければならない。

【0006】 周辺回路を外付けICではなく、多結晶シリコンTFTを用いた内蔵回路で実現しようとすると、20mA以上の駆動電流を得るためにには数100μm幅のトランジスタが必要になる。さらに、ゲート電極に0.2Ω/□以下のA1等の金属配線を用いなければならないため、プロセスが複雑になるという問題がある。

【0007】 図7に示す従来構造では、容量はすべてドレン線につながる。ゲート線の容量はTFTのゲート容量のみであり、トータルで2.5pF程度であるから、駆動電流は50μA以上、配線の層抵抗は40Ω/□以下でよい。従って、TFT特性及び配線材料の制約はほとんどなくなる。

【0008】 一方、ドレン線の信号振幅は、液晶を駆動するのに必要な5V程度であるから、ゲート振幅の1/4ですむ。従って、駆動TFTの寸法も小さくてよい。又、ドレン線も0.8Ω/□以下の配線でよいから選択の幅が広がる。しかし、蓄積容量線22に抵抗の低い金属配線を用いなければならない。この配線は画素の中を通るため、この部分が不透明になり、画素の開口率を悪化させる。HDTV対応の画素寸法は30×30μm²程度であるから、蓄積容量線があると開口率を10%以上悪化させることになり大問題である。

【0009】

【課題を解決するための手段】 本発明の液晶表示素子は、液晶駆動用の第1の透明電極の下方に容量絶縁膜を介して第2の透明電極が設けられ、第2の透明電極は遮光金属膜に接続されている。

【0010】

【作用】 本発明の液晶表示素子は、第2の透明電極が遮光金属膜に接続される。遮光金属膜は固定電位になっているので、蓄積容量はドレン線のみにかかり、ゲート線には付加されない。

【0011】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の画素部断面図である。TFTのボディーとなる多結晶Si2上にシリサイド又は高融点金属のゲート電極3が形成され、アルミニウム又は高融点金属のドレイン線4が接続される。TFT上にアルミニウムの遮光膜5が形成され、遮光膜上に透明電極b6が形成されている。透明電極b6上にシリコン窒化膜あるいはタンタル酸化膜あるいはシリコン窒化膜とタンタル酸化膜の多層膜よりなる容量絶縁膜8が設けられ、その上に透明電極a7が形成される。透明電極aはTFTのソース9に接続されている。

【0012】透明電極aは液晶駆動用電極であり、容量絶縁膜を介して透明電極bとの間に蓄積容量が形成される。容量絶縁膜に100nm厚のシリコン窒化膜を用い、 $30 \times 30 \mu\text{m}^2$ の画素で透明電極aが $24 \times 24 \mu\text{m}^2$ 、開口率64%の場合には、蓄積容量として0.4pFが得られる。透明電極bはブラックマトリックスと呼ばれるアルミニウム遮光膜5に接続される。遮光膜の電位は通常グランドレベルに固定されている。

【0013】本発明の構造は、透明電極b6と遮光膜5が直接接触するため、接続するためのコンタクト孔の開口は不要である。さらに、従来例のように蓄積容量線が必要としないため、製造プロセスが簡単になるばかりでなく、開口率を悪化させることがない。

【0014】蓄積容量は、固定電位の遮光膜（ブラックマトリックス）とTFTのソースの間に形成される。従って、ゲート線の負荷容量は軽くなり、層抵抗が数Ω/□のシリサイド配線が使えるため、ゲート線形成後に平坦化のための高温リフロープロセスが使える等の利点がある。

【0015】図2は、本発明の第2の実施例の断面図で、蓄積容量の部分を示している。遮光膜5は透明電極b6の上に形成することも可能である。このように遮光膜と透明電極の形成順序を入れ替えることができるためプロセスの自由度が増す。

【0016】図3は、本発明の画素の平面図である。TFT以外の部分は光透過領域となるため、高開口率が確保できる。 $30 \times 30 \mu\text{m}^2$ の画素でも、容易に50%以上の開口率が得られる。

【0017】図4に本発明の第3の実施例を示す。基本的構成は図1のものと同じであるが、この場合には、ドレイン線4がTFTの活性領域、すなわちゲート電極3を含む領域を被っている。これにより、TFTは遮光膜5とドレイン線4により2重に光源から遮蔽される。光の反射率の高いA1を用いた場合、完全な遮光性を得るためにには単層の場合 $0.5 \mu\text{m}$ 以上の厚みが必要である。このとき、A1の段差により、液晶面の平坦性が損なわれる。この厚みは遮光を2重にすることにより、 $0.25 \mu\text{m}$ 以下にすることが可能であり、平坦化に有利となる。

【0018】HDTVでは50階調以上が必要となる。画素寸法が小さくなり、ドレイン線と画素電極（透明電極I）が接近するとカップリング容量が大きくなり、ドレイン線の信号によって画素電極電位が変調を受け、階調が得られなくなる。例えば、画素電極電位の変動を30mV以下に抑えようとするとき、蓄積容量が0.2pFの場合、カップリング容量は0.6fF以下でなければならない。本発明の構造は、ドレイン線と画素電極が遮光膜および容量電極によってシールドされるため、カップリング容量を極めて小さくできる。従って、画素電極を広げ開口率を大きくしても階調が低下することはない。

【0019】

【発明の効果】以上説明したように本発明は、画素電極の下に蓄積容量電極を設け、蓄積容量電極と遮光膜（ブラックマトリックス）を接続する構造を用いているので、以下に示す効果を有する。（a）開口率を犠牲にすることなく、大きな蓄積容量を得ることができる。

（b）蓄積容量はブラックマトリックスに接続されるため、蓄積容量配線が不要になる。（c）蓄積容量はゲート線につながらないため、ゲート線の負荷が軽くなり、シリサイド等のゲート配線が使える。（d）透明電極をTFTより上層部に形成できるため、TFT形成に高温プロセスが使え、高信頼性で高性能な特性が得られる。（e）ブラックマトリックス形成後の素子表面の平坦性に優れる。（f）ドレイン線と画素電極は遮光膜でシールドされるため、カップリング容量が小さく、高階調が実現できる。（g）透明電極をデバイスの上層部に形成するため、TFT作製に高温プロセスが使え、高性能と高信頼性が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の素子断面図である。

【図2】本発明の第2の実施例の素子断面図である。

【図3】本発明の画素平面図である。

【図4】本発明の第3の実施例の素子断面図である。

【図5】従来技術の画素等価回路である。

【図6】従来技術の素子断面図である。

【図7】従来技術の他の例の素子断面図である。

【符号の説明】

- | | | |
|----|--------|-------------|
| 40 | 1 | ガラス基板 |
| | 2, 12 | 多結晶Si |
| | 3, 13 | ゲート電極（ゲート線） |
| | 4, 14 | ドレイン線 |
| | 5 | 遮光膜 |
| | 6, 16 | 透明電極b |
| | 7, 17 | 透明電極a |
| | 8, 18 | 容量絶縁膜 |
| | 10, 23 | 絶縁膜 |
| | 19 | TFT |
| 50 | 20 | 液晶 |

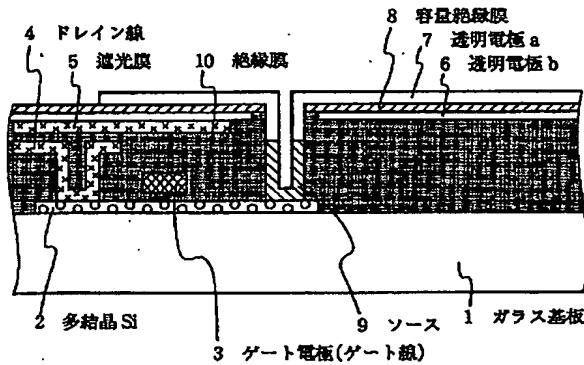
5

6

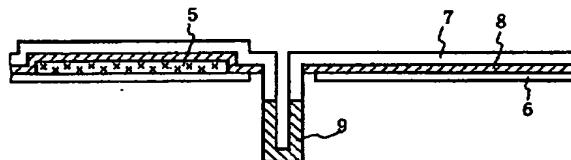
- 21 蓄積容量
22 蓄積容量線

24 a-Si

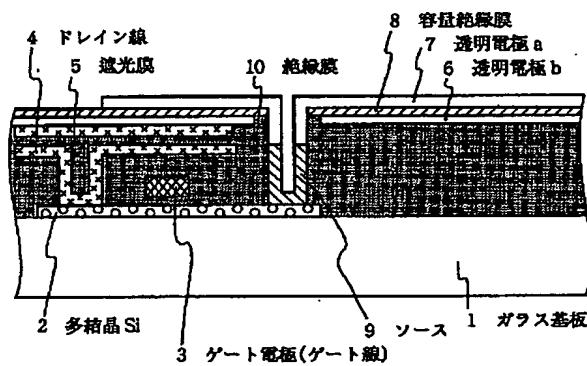
【図 1】



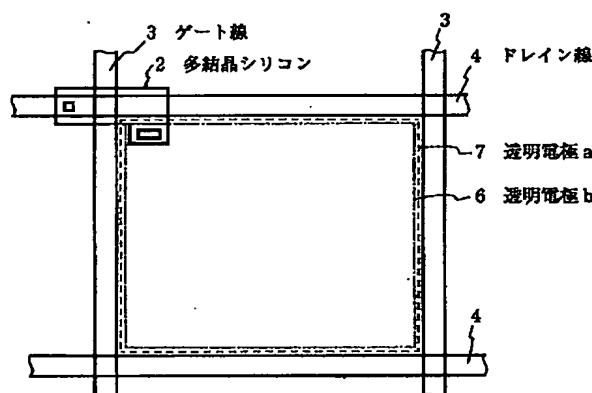
【図 2】



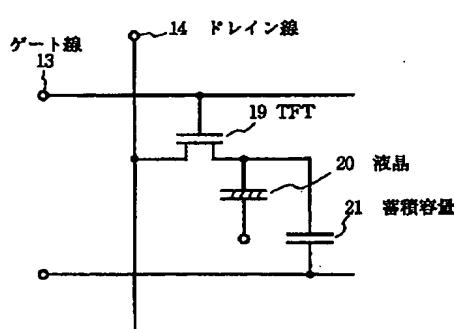
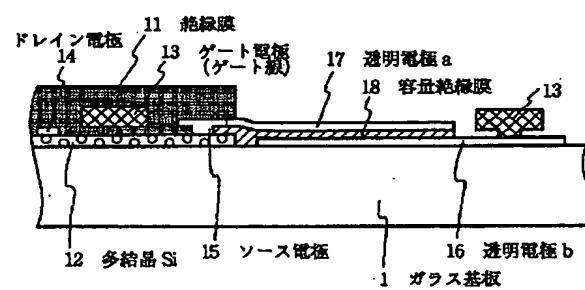
【図 4】



【図 3】



【図 6】



【図 7】

